

文章编号:1007-2780(2019)11-1124-07

实时视频流缩放系统设计

严 飞^{1,2,*}, 陆宝毅¹, 刘银萍³, 刘卿卿^{1,2}, 陈 伟¹

- (1. 南京信息工程大学 自动化学院, 江苏 南京 210044;
2. 江苏省大气环境与装备技术协同创新中心, 江苏 南京 210044;
3. 南京信息工程大学 大气物理学院, 江苏 南京 210044)

摘要:针对目前视频源的分辨率与显示器支持的分辨率不对应,导致无法在目标显示器上播放的问题,提出一种实时视频流缩放系统的硬件结构设计。该系统基于双三次插值图像算法,采用了流水线的设计思路对算法的浮点运算进行优化,采用乒乓操作的思想避免了视频流输入与输出不同步的情况,减少了计算延时,易于FPGA的实现,在提高系统运算速度的同时减少了对硬件资源的消耗,并在VIVADO环境中对该设计进行测试验证,实现了任意比例缩放。实验结果表明,该图像缩放系统支持分辨率为 3840×2160 的实时图像缩放,并以最低 100×100 的分辨率输出,达到了预期的效果。

关键词: FPGA; 图像缩放; 双三次插值; 任意比例

中图分类号: TP391 **文献标识码:** A **doi:** 10.3788/YJYXS20193411.1124

Design of real-time video stream scaling system

YAN Fei^{1,2,*}, LU Bao-yi¹, LIU Yin-ping³, LIU Qing-qing^{1,2}, CHEN Wei¹

- (1. Automation College, Nanjing University of Information Science & Technology,
Nanjing 210044, China;
2. CICAET, Nanjing University of Information Science & Technology,
Nanjing, 210044, China;
3. College of Atmospheric Physics, Nanjing University of Information Science & Technology,
Nanjing 210044, China)

Abstract: The resolution of the video source does not correspond to the resolution supported by the display, causing problems that cannot be played on the target display. A hardware architecture design of real-time video stream scaling system is proposed. The system is based on bicubic interpolation image algorithm, the pipeline design idea is adopted to optimize the floating-point operation of the algorithm, and the idea of pingpong operation avoids the asynchronism between input and output of video

收稿日期: 2019-06-21; **修订日期:** 2019-07-10.

基金项目: 国家自然科学基金(No.61605083, No.61701244); 江苏省自然科学基金(No.BK20150903); 江苏省高校自然科学基金(No.16KJB510023)

Supported by Natural Science Foundation of China(No.61605083, No.61701244); Natural Science Foundation of Jiangsu Province(No.BK20150903); Natural Science Foundation of Jiangsu Higher Education Institutions of China(No.16KJB510023)

* 通信联系人, E-mail: fyan@nuist.edu.cn

stream, which reduces the computation delay and eases the implementation of the FPGA. It improves the operation speed of the system and reduces the consumption of hardware resources. The design is tested and verified in the VIVADO environment, and achieves arbitrary scaling. Finally, the design was tested and verified in the VIVADO environment, and any scaling was achieved, which confirmed the correctness of the design. The experimental results show that the image zooming system supports real-time image zooming with a resolution of $3\,840 \times 2\,160$, and outputs the image at a resolution of 100×100 , which achieves the desired results.

Key words: FPGA; image scaling; bicubic interpolation; any ratio

1 引言

数字视频具有数据量大,实时性高等特点,如果数字视频的处理仅仅依靠软件算法来实现,那么对软件和 CPU 的计算能力都有较高的要求,但用硬件的方式来实现的话,在处理速度以及效果上都优于前者^[1]。并且在算法优化已经无法提高计算速度的前提下,将部分单一、耗时的图像处理操作用硬件来实现可以有效地提高算法的速度^[2-5]。目前处理数字图像常用的视频缩放算法分别是最邻近插值算法(Nearest interpolation),双线性内插值算法(Bilinear interpolation)以及双三次插值(Bicubic interpolation)。相较于前两种缩放算法,双三次插值算法得出比前两种插值算法更加平滑的图像信息。

随着显示器的分辨率越来越多样化,原有的一些视频格式越来越满足不了多样化的显示器分辨率,故需要采用相应的视频缩放模块将视频源的分辨率转换为对应显示器的分辨率^[6]。目前的视频流缩放系统一般是基于双线性内插值算法进行设计,且进行缩放比例是固定倍率,这样的系统的缩放图像信息的缺失较大,且不能灵活地配置缩放信息^[7-8]。本文设计了一种实时视频流缩放系统设计,采用了双三次插值的缩放算法,实现了视频图像的任意比例的缩放,且易于硬件实现。

2 系统组成

实时视频流缩放系统包括两路 OV5640 视频输入接口、DDR3 存储模块、VGA 输出接口以及外围电路(电源电路、配置电路和时钟电路)模块。系统的硬件组成如图 1 所示,其中采用由两个 OV5640 摄像头模块组成的 OV5642 模块模拟实

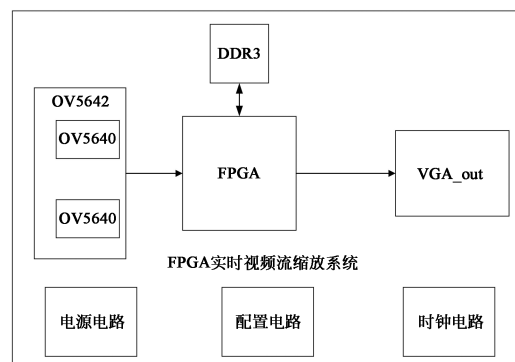


图 1 实时视频缩放系统硬件组成

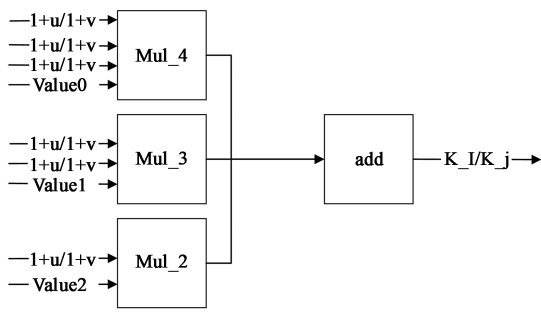
Fig. 1 Hardware composition of real-time video stream scaling system

时的视频流的输入。

系统支持最大分辨率 $3\,840 \times 2\,160$ 的实时视频流的输入和最低分辨率 100×100 的视频数据的输出。系统主控芯片使用的型号为 xc7a100tfgg488-2 的一款 FPGA,属于 Xilinx 公司 ARTIX7 系列。

首先,FPGA 配置 OV5642 分别输出两个分辨率为 $2\,592 \times 1\,944$ 的视频,然后将输出的视频分别进入双三次插值运算模块进行缩放计算。当 FPGA 检测到有双三次插值运算有计算结果即有实时的有效数据时,控制 DDR3 外部存储将输入的视频缓存下来等待后端 VGA 模块读取数据进行显示,由于有两路的缩放视频流,所以设计一个 PIP(Picture in picture 画面叠加)模块,让缩放成不同分辨率的视频数据在一个分辨率为 $1\,920 \times 1\,080$ 的显示屏上进行叠加显示,由于采集的数据为 RGB 格式,在进行视频叠加时需要转换为 YUV 格式进行叠加。图像处理的流程如图 2 所示。

该系统采用模块化的设计思路,主要包括:实时视频流采集模块,视频流处理模块以及视频叠

图 4 a_{00} 位置行列系数处理流程Fig. 4 Processing flow of a_{00} location row and column coefficient

数。同理,我们可以得到其他 15 个像素在行和列的系数。

计算完各个像素点的影响因子用每个点的像素值乘以其对应的影响因子,得到 16 个值相加便是目标像素点的像素值。如图 5 所示,在计算像素权值时 $a_{00}, a_{03}, a_{11}, a_{12}, a_{21}, a_{22}, a_{30}, a_{33}$ 的权值是正数,其他的像素点的像素值是负数,所以在计算像素点值时需要先分开计算正数和负数,其中 $dOut_add_0$ 和 $dOut_add_1$ 是 16 个像素中部分正数的和, $dOut_sub_0$ 和 $dOut_sub_1$ 是部分负数的和, $dOut_add$ 是所有正数的和, $dOut_sub$ 是所有负数的和, $dOut_sum$ 是加权和,利用正数部分减去负数部分或者是负数部分减去整数部分(不算符号位)。由于整个算法中浮点数的产生^[12],在计算初便将参与计算的数值(二进制)左移 8 位,所以在最终需要对最终的结果右移 8 位, $dOut_shift$ 便是对算出的加权和进行右移 8 位的操作。由于像素的值区间在 0 和 255 之间,如果输出的像素值如果大于 255 便只取其七八位。

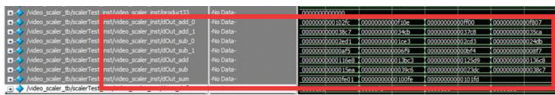


图 5 目标像素点值计算仿真图

Fig.5 Simulation diagram of target pixel point value computation

4 DDR 缓存解析

4.1 DDR 读写操作

DDR3 的读写控制采用的是 XILINX 提供的 MIG(Memory Interface Generator)IP 核控制方

案, MIG IP 核控制方案位用户提供了两种接口总线控制模式,一种是 NATIVE 总线控制模式,一种是 AXI4 总线模式。相对与 NATIVE 总线控制模式,AXI4 的读写控制时序比较复杂,且 NATIVE 控制总线也可以通过逻辑控制扩展多个读写端口,因此,本文选择 NATIVE 接口总线作为本次设计的控制方案^[13-16]。

如图 6 所示,在 NATIVE 总线下的写操作包括写请求、写数据、写响应。在 DDR 准备好写入数据($app_wdf_rdy = 1$)的前提下,当有写请求($app_wdf_wren = 1$)时,便开始一次写 DDR 操作,将提前准备好的数据写入 DDR 中对应的地址中。同样,在 NATIVE 总线下的读操作包括读请求、读数据、读响应。在 DDR 准备好进行读操作($app_wdf_rdy \neq 1$)且不在进行读操作($app_wdf_wren = 1$)的前提下,当有写请求($app_rd_data_valid = 1$)时,便开始一次读 DDR 操作,将数据从 DDR 中对应的地址中读出来。

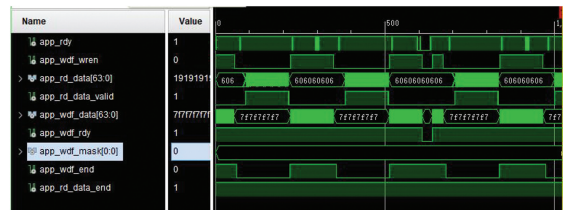


图 6 Native 总线下 DDR 读写操作

Fig.6 DDR read-write operation under native bus

4.2 多端口 DDR 读写

由于 OV5642 同时输出两路的 $2\,592 \times 1\,944$ 的视频数据,所以需要同时这两路视频数据存入 DDR3 中,并且在后端也同样需要同时将视频数据从 DDR3 中读出来进行缩放操作。

在程序设计时开辟了两个通道进行读写操作。如图 7 所示,在进行读操作时,对两个端口进行依次循环查询其状态信息,如果通道 0 有读请求并且该通道的突发读的长度不为 0,进入通道 0 的读操作,否则对通道 1 进行查询。同样,如果通道 1 有读请求并且该通道突发读的长度不为 0,进入通道 1 的读操作。

如图 8 所示,在进行写操作时,与读操作相似,也是对每个端口进行查询其状态信息,若是通道 0 有写请求则进入通道 0 的写操作,否则对通道 1 进行查询。为了避免输出图像变形的情况,

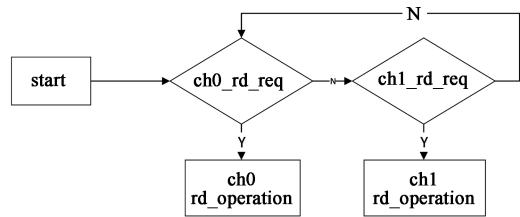


图 7 读操作查询流程
Fig.7 Read operation query process

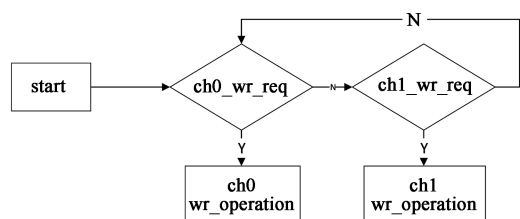


图 8 读操作查询流程
Fig.8 Write operation query process

本设计采用乒乓操作,让 DDR3 的读操作和写操作分别在不同的 BANK 进行。

5 画面叠加输出

画面叠加是将已经缩放完成的视频在一个 1 920×1 080 的画布上显示。通常一帧图像分为有效区域和消隐区域^[17],其中我们在显示屏上看见的区域即有效区域。由于图像是逐行扫描的,所以在到达需要显示图像的区域时从 DDR 中读出相应的数据显示。

如图 9 所示,在第一幅图片的显示有效区域时,产生读信号从 DDR 的对应位置中取出数据进行显示,同样在第二幅图显示有效区域时,产生读信号从 DDR 中读出数据进行显示。



图 9 画面叠加原理仿真
Fig.9 Simulation of picture superposition principle

6 实验结果

本设计的目的是为了满足不同分辨率

率的显示器,所以在上板测试时设置是将 2 592×1 944 分辨率的视频图像分别缩放至 731×731 和 1 920×1 080。如图 10 所示,显示屏幕的背景是 1 920×1 080 分辨率的视频图像,前端窗口显示的是 731×731 分辨率的视频图像。满足任意比例的缩放效果。

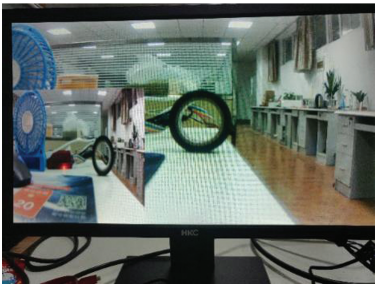


图 10 双三次插值算法在 FPGA 上实现效果图
Fig.10 Implementation of bicubic interpolation algorithms on FPGA

实验结果表明,基于 FPGA 的双三次插值图像缩放系统能够支持 3 840×2 160 的图像进行任意比例的缩放。实际板上验证时视频流从 ov5642 输入,经过缩放、缓存、同步以及拼接等多个处理过程,最终通过 VGA 接口输出至支持 1080P 的显示器上。验证系统所采用的硬件平台是 xc7a100tfgg488-1,如表 1 所示,其消耗的 LUT(Look Up Table, 查找表)资源占 FPGA 总资源的 69.9%,由于本设计的行缓存所消耗的片上资源 LUTRAM,所以 LUTRAM 资源的占用为 76.16%,在 DDR 读写部分用到了时钟域的转换,采用的是消耗 BRAM 资源的 FIFO,BRAM 资源的占用为 26.3%,用来缩放计算的 DSP 资源占用为 60.42%。

表 1 FPGA 资源利用情况

Resource	Utilization	Available	Utilization/%
LUT	44 317	63 400	69.90
LUTRAM	14 470	19 000	76.16
FF	37 370	126 800	29.47
BRAM	35.50	135	26.30
DSP	145	240	60.42
IO	108	285	37.89
BUFG	9	32	28.13
MMCM	2	6	33.33

7 结 论

提出了一种实时视频流缩放系统的硬件结构设计,基于双三次插值图像算法,采用流水线的设计思路对算法的浮点运算进行优化,采用乒乓操作的思想避免了视频流输入与输出不同步的情

况,减少了计算延时,易于 FPGA 的实现,在提高系统的运算速度的同时减少了对硬件资源的消耗,并在 VIVADO 环境中对该设计进行测试验证,实现了任意比例缩放。经实际验证,该实时视频流缩放系统设计支持最高 $3\,840 \times 2\,160$ 分辨率的视频输入,最低支持缩放至 100×100 分辨率输出,能够满足需要特殊分辨率的显示屏的需求。

参 考 文 献:

- [1] 吴以凯.基于 FPGA 的视频缩放的设计与实现[D].镇江:江苏大学,2017.
WU Y K. *Design and implementation of video scaling based on FPGA* [D]. Zhenjiang: Jiangsu University, 2017. (in Chinese)
- [2] RETTKOWSKI J, BOUTROS A, GÖHRINGER D. HW/SW co-design of the HOG algorithm on a Xilinx Zynq SoC [J]. *Journal of Parallel and Distributed Computing*, 2017, 109: 50-62.
- [3] KRYJAK T, KOMORKIEWICZ M, GORGON M. Real-time hardware-software embedded vision system for ITS smart camera implemented in Zynq SoC [J]. *Journal of Real-Time Image Processing*, 2018, 15(1): 123-159.
- [4] SENOUCI B, CHARFII I, HEYRMAN B, et al. Fast prototyping of a SoC-based smart-camera: a real-time fall detection case study [J]. *Journal of Real-Time Image Processing*, 2016, 12(4): 649-662.
- [5] SVETEK A, BLAKE M, HERMIDA M C, et al. The calorimeter trigger processor card: the next generation of high speed algorithmic data processing at CMS [J]. *Journal of Instrumentation*, 2016, 11(2): C02011.
- [6] 吴以凯,喻金华,肖铁军.基于 FPGA 的视频缩放设计与实现[J].软件导刊,2017,16(8):83-85.
WU Y K, YU J H, XIAO T J. Design and implementation of video scaling based on FPGA [J]. *Software Guide*, 2017, 16(8): 83-85. (in Chinese)
- [7] 陈志杰,凌朝东,魏腾雄.双三次卷积模板插值算法的 FPGA 实现[J].液晶与显示,2014,29(1):71-76.
CHEN Z J, LING C D, WEI T X. Design of bicubic convolution template algorithm based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(1): 71-76. (in Chinese)
- [8] 王健,于鸣,任洪斌.一种用于图像拼接的改进 ORB 算法[J].液晶与显示,2018,33(6):520-527.
WANG J, YU M, REN H E. Improved ORB algorithm used in image stitching [J]. *Chinese Journal of Liquid Crystals and Displays*, 2018, 33(6): 520-527. (in Chinese)
- [9] 王平,全吉成,赵柏宇.基于双线性插值的图像缩放在 GPU 上的实现[J].微电子学与计算机,2016,33(11):129-132.
WANG P, QUAN J C, ZHAO B Y. Realization of image zooming in GPU based on bilinear interpolation [J]. *Microelectronics & Computer*, 2016, 33(11): 129-132. (in Chinese)
- [10] 冉峰,李天,季渊,等.基于 FPGA 的图像缩放算法设计[J].光电技术,2017,37(1):21-26.
RAN F, LI T, JI Y, et al. Design of image scaling algorithm based on FPGA [J]. *Optoelectronic Technology*, 2017, 37(1): 21-26. (in Chinese)
- [11] 岳鑫,肖晨.基于奇异值分解和双三次插值的图像缩放算法改进[J].西安邮电大学学报,2018,23(4):72-77.
YUE X, XIAO C. Improvement of imagescaling algorithm based on singular value decomposition and bicubic interpolation [J]. *Journal of Xi'an University of Posts and Telecommunications*, 2018, 23(4): 72-77. (in Chinese)
- [12] 余成波,李彩虹,曾亮.K-means 指纹定位的优化算法[J].电子技术应用,2018,44(2):70-74.
YU C B, LI C H, ZENG L. Optimization algorithm of K-means fingerprint location [J]. *Application of Electronic Technique*, 2018, 44(2): 70-74. (in Chinese)
- [13] KOOKARINRAT P, TEMTANAPAT Y. Analysis of range-based key properties for sharded cluster of MongoDB [C]//*Proceedings of the 2015 2nd International Conference on Information Science and Security*. Seoul, South Korea: IEEE, 2015: 1-4.

- [14] KANG Y S, PARK I H, RHEE J, *et al.* MongoDB-based repository design for IoT-generated RFID/sensor big data [J]. *IEEE Sensors Journal*, 2016, 16(2): 485-497.
- [15] CAI W J, XU Z H, LI Z Q. A high performance surf image feature detecting system based on ZYNQ [C]//*Proceedings of the 2017 2nd International Conference on Computer Engineering, Information Science and Internet Technology*. 2017: 101-110.
- [16] XILINX C. *Xilinx Corporation 7 Series Devices Memory Interface Solutions (UG586)* [M]. Philadelphia, USA: Xilinx Corporation, 2013.
- [17] 刘珂. 基于 ZYNQ 的高速图像采集处理平台设计与验证[D]. 济南: 山东大学, 2016.
LIU K. Design and verification of high speed image gathering and processing platform based on ZYNQ [D]. Ji'nan: Shandong University, 2016. (in Chinese)

作者简介:



严 飞(1983—),男,江苏南京人,博士,讲师,2014 年于中国科学院大学获得博士学位,主要从事信息显示技术方面的研究。E-mail: fyan@nuist.edu.cn